

[Séquence 2]

Etude des transmissions numériques DCC et I2C

Objectifs :

Traitement des signaux logiques et / ou numériques

Traitement programmé de l'information :

structures de bus ;

interfaces.

Préparation à l'analyse de trames I2C et DCC relevées sur la maquette de l'élève.

Objectifs intermédiaires :

Performances d'une transmission numérique - étude théorique.

Présentation du bus I2C : Analyse de trames I2C

Présentation du protocole DCC : Analyse de trames DCC

Analyse comparative DCC et I2C.

Documents de travail :

Document : « [Quelques éléments de la théorie de l'information.pdf](#) ».

Document sur l'état de l'art, fin 2005, en matière de commande des trains électriques miniature : « [Le dossier digital d'espaceRails.pdf](#) »

note : Actualisation du document depuis un lien hypertexte en tête du document.

Documents sur la présentation du protocole DCC : « [Norme-Nem-671.pdf](#) » et « [Standard DCC.pdf](#) ».

Documents sur la mise en œuvre du bus I2C : « [INTRODUCTION AU BUS I2C.pdf](#) » et « [I2C specifications - rev 03.pdf](#) » et doc du composant « [PCF8574.pdf](#) »

Évaluation :

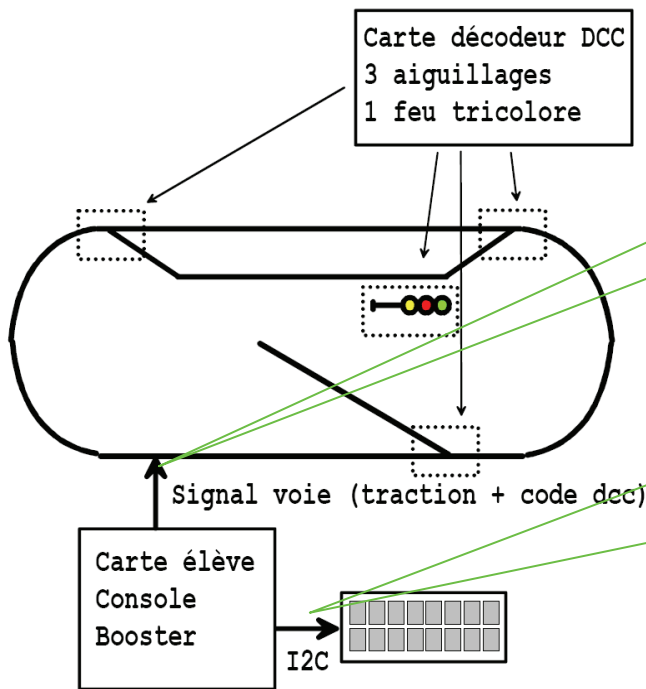
Contrôle Ecrit

Durée :

16 heures.

1.Introduction : protocole DCC dans le projet (et bus I2C)

Le projet de réseau



Protocole DCC :

Alimentation et commande du réseau de train miniature

Protocole I2C : Liaison avec la carte d'affichage des paramètres de fonctionnement du système.

A noter : Nous n'utiliserons pas ce protocole de communication au lycée Lachenal pour dialoguer avec le module d'affichage.

Nous privilégierons un envoi direct des données en mode parallèle

2. Etude théorique : Transmission Numérique de données

2.1. Quelques éléments de la théorie de l'information.

-> Lire le document ressource « [Quelques éléments de la théorie de l'information.pdf](#) ».

2.2. Exercice : « Il était une fois ... », (par Sébastien Jean)

-> Aux balbutiements des réseaux, les infrastructures étaient peu performantes et les débits étaient faibles.

Cependant le besoin d'échange de données entre les différentes entreprises informatiques de la Silicon Valley était fort.

Tant et si bien que le moyen le plus efficace de transmettre des données informatiques était le transport de bandes magnétiques par un coursier... en vélo.

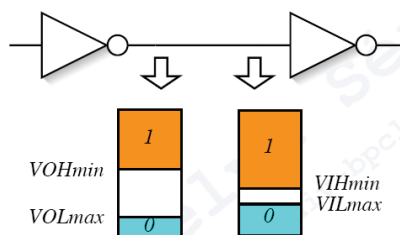
-> En faisant l'hypothèse que la capacité de stockage typique d'une bande magnétique était de 4 Mo,

que sa recopie prenait 5 minutes, que le coursier mettait 6 minutes pour faire le trajet,

calculez le débit maximum de ce réseau (en octets/s), en considérant comme durée d'échange le laps de temps écoulé entre le départ d'une bande et la fin de sa recopie une fois arrivée à destination.

page 2

Immunité au bruit



- Marges d'immunité :

$$M_H = V_{OHmin} - V_{IHmin}$$

$$M_L = V_{ILmax} - V_{OLmax}$$



74VHCT00A

QUAD 2-INPUT NAND GATE

PRELIMINARY DATA

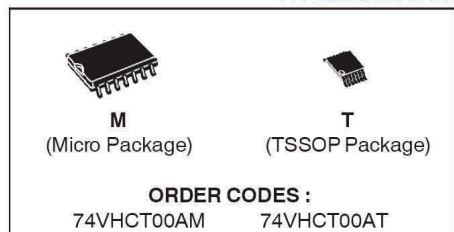
- HIGH SPEED: $t_{PD} = 5 \text{ ns}$ (TYP.) at $V_{CC} = 5V$
- LOW POWER DISSIPATION:
 $I_{CC} = 2 \mu A$ (MAX.) at $T_A = 25^\circ C$
- COMPATIBLE WITH TTL OUTPUTS:
 $V_{IH} = 2V$ (MIN), $V_{IL} = 0.8V$ (MAX)
- POWER DOWN PROTECTION ON INPUTS & OUTPUTS
- SYMMETRICAL OUTPUT IMPEDANCE:
 $|I_{OH}| = I_{OL} = 8 \text{ mA}$ (MIN)
- BALANCED PROPAGATION DELAYS:
 $t_{PLH} \approx t_{PHL}$
- OPERATING VOLTAGE RANGE:
 V_{CC} (OPR) = 4.5V to 5.5V
- PIN AND FUNCTION COMPATIBLE WITH 74 SERIES 00
- IMPROVED LATCH-UP IMMUNITY
- LOW NOISE: $V_{OLP} = 0.8V$ (Max.)

DESCRIPTION

The 74VHCT00A is an advanced high-speed CMOS QUAD 2-INPUT NAND GATE fabricated with sub-micron silicon gate and double-layer metal wiring C²MOS technology.

DC SPECIFICATIONS

Symbol	Parameter	Test Conditions		Value					Unit
		V _{CC} (V)		T _A = 25 °C			-40 to 85 °C		
				Min.	Typ.	Max.	Min.	Max.	
V _{IH}	High Level Input Voltage	4.5 to 5.5		2			2		V
V _{IL}	Low Level Input Voltage	4.5 to 5.5				0.8		0.8	V
V _{OH}	High Level Output Voltage	4.5	I _O = -50 μA	4.4	4.5		4.4		V
		4.5	I _O = -8 mA	3.94			3.8		
V _{OL}	Low Level Output Voltage	4.5	I _O = 50 μA		0.0	0.1		0.1	V
		4.5	I _O = 8 mA			0.36		0.44	
I _I	Input Leakage Current	0 to 5.5	V _I = 5.5V or GND			±0.1		±1.0	μA
I _{CC}	Quiescent Supply Current	5.5	V _I = V _{CC} or GND			2		20	μA
ΔI _{CC}	Additional Worst Case Supply Current	5.5	One Input at 3.4V, other input at V _{CC} or GND			1.35		1.5	mA
I _{OPD}	Output Leakage Current	0	V _{OUT} = 5.5V			0.5		5.0	μA



The internal circuit is composed of 3 stages including buffer output, which provide high noise immunity and stable output.

Power down protection is provided on all inputs and outputs and 0 to 7V can be accepted on inputs with no regard to the supply voltage. This device can be used to interface 5V to 3V.

All inputs and outputs are equipped with protection circuits against static discharge, giving them 2KV ESD immunity and transient excess voltage.

Calculer l'immunité au bruit pour chaque état logique du circuit 74VHCT00A présenté ci-dessus.

3. Présentation du protocole DCC :

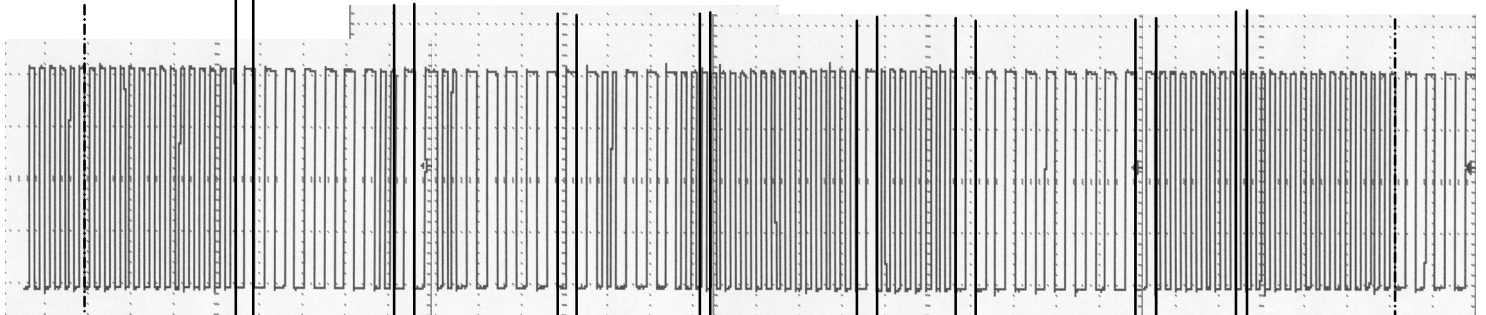
3.1. Introduction :

Lire les documents ressource : « [Norme-Nem-671.pdf](#) » et « [Standard DCC.pdf](#) ».

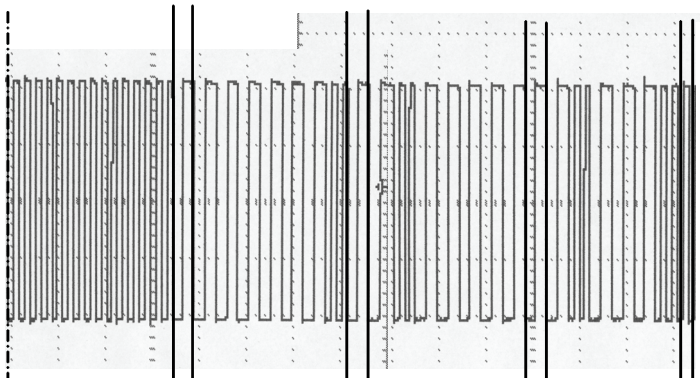
3.2. Analyse de trames DCC :

Analyser bit par bit les trames DCC présentées ci-dessous :

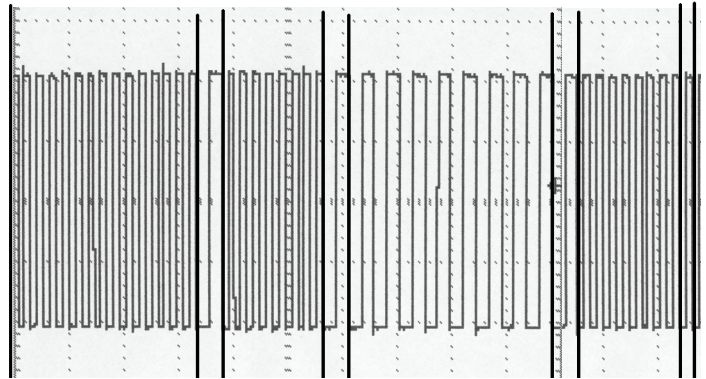
Trame 1



Trame 2



Trame 3



age 4

4. Présentation du protocole I2C :

- > Philips Semiconductors (aujourd'hui NXP Semiconductors) a développé un bus bidirectionnel à deux fils (2-wire bus) pour une communication efficace entre circuits intégrés.
- > Ce bus est appelé bus Inter-IC ou bus I2C.
- > 2 fils seulement sont nécessaires :
 - une ligne de données sérielles, « SDA » ;
 - une ligne d'horloge, « SCL ».
- > Des transferts de données bidirectionnels sériels, octet par octet, peuvent être effectués avec les débits suivants :
 - jusqu'à 100 Kbits/s en mode « standard », (standard mode) ;
 - jusqu'à 400 Kbits/s en mode « rapide », (Fast-mode) ;
 - jusqu'à 1 Mbits/s en mode « rapide plus », (Fast-mode Plus) ;
 - jusqu'à 3,4 Mbits/s en mode « haute vitesse », (High-speed mode).

4.1. Introduction :

Lire le document ressource « [Introduction au bus I2C.pdf](#) ».

4.2. Analyse documentaire :

4.2.1. Terminologie du bus I2C:

Donner la définition des termes suivants :

- 1) Emetteur
- 2) Récepteur
- 3) Maître
- 4) Esclave

4.2.2. Fonctionnement du bus I2C:

Répondre aux questions suivantes :

- 1) Combien de lignes sont utilisées par ce bus série ?
- 2) Donner le nom de chacune des lignes et leur mode de fonctionnement.
- 3) Quel est l'état logique des deux lignes SCL et SDA, au repos ?
- 4) Préciser comment l'émetteur génère une indication de début d'échange et une indication de fin d'échange. (Vous pouvez utiliser des chronogrammes).
- 5) Que contient, en mode standard, le premier octet transféré sur le bus au début d'une communication entre deux éléments ?
- 6) Quelle est la vitesse de transmission maximum sur le bus I2C, en mode standard ?

4.3. Analyse de trames I2C : Exemple du circuit PCF8574

Le PCF8574 (Remote 8-bit I/O expander for I2C bus : interface d'entrée/sortie parallèle sur 8 bits) permet le pilotage de huit entrées ou sorties par le bus I2C.
C'est le composant I2C le plus facile à utiliser.

Nous allons présenter son fonctionnement et analyser quelques trames de communication entre un micro-contrôleur et le PCF8574.

Document de travail : doc constructeur du circuit « [PCF8574.pdf](#) ».

4.3.1. Principe de fonctionnement :

Traduire les deux paragraphes suivants, extraits de la documentation constructeur :

1 FEATURES

- Operating supply voltage 2.5 to 6 V
- Low standby current consumption of 10 μ A maximum
- I²C to parallel port expander
- Open-drain interrupt output
- 8-bit remote I/O port for the I²C-bus
- Compatible with most microcontrollers
- Latched outputs with high current drive capability for directly driving LEDs
- Address by 3 hardware address pins for use of up to 8 devices (up to 16 with PCF8574A)
- DIP16, or space-saving SO16 or SSOP20 packages.

2 GENERAL DESCRIPTION

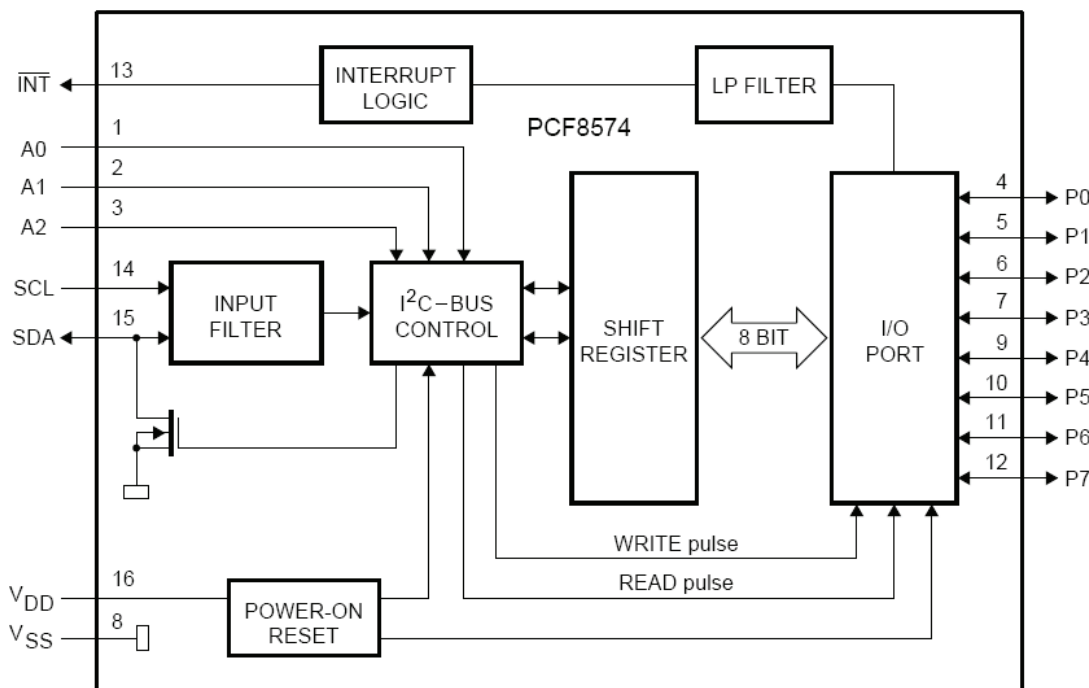
The PCF8574 is a silicon CMOS circuit. It provides general purpose remote I/O expansion for most microcontroller families via the two-line bidirectional bus (I²C).

The device consists of an 8-bit quasi-bidirectional port and an I²C-bus interface. The PCF8574 has a low current consumption and includes latched outputs with high current drive capability for directly driving LEDs. It also possesses an interrupt line ($\overline{\text{INT}}$) which can be connected to the interrupt logic of the microcontroller. By sending an interrupt signal on this line, the remote I/O can inform the microcontroller if there is incoming data on its ports without having to communicate via the I²C-bus. This means that the PCF8574 can remain a simple slave device.

The PCF8574 and PCF8574A versions differ only in their slave address as shown in Fig.9.

4.3.2. Description du brochage :

Sur le schéma interne du PCF8574 représenté ci-dessous, identifier et décrire la fonction de chacune des broches du circuit.



page 6

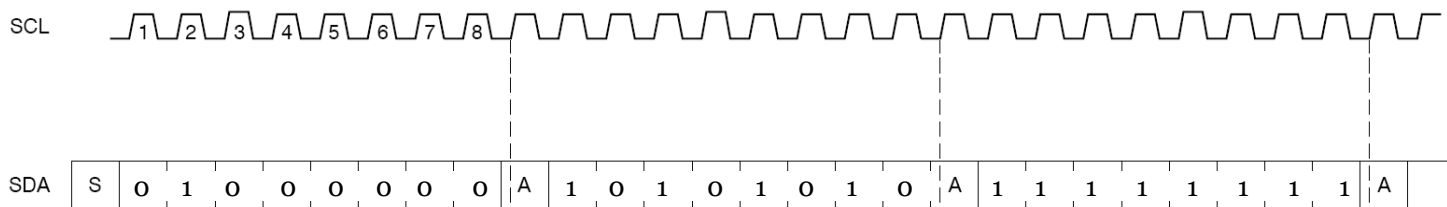
4.3.3 Adressage

Indiquer l'adresse la plus basse et l'adresse la plus haute possibles sur un bus I2C, pour un circuit de type 8574 et pour un circuit de type 8574A.

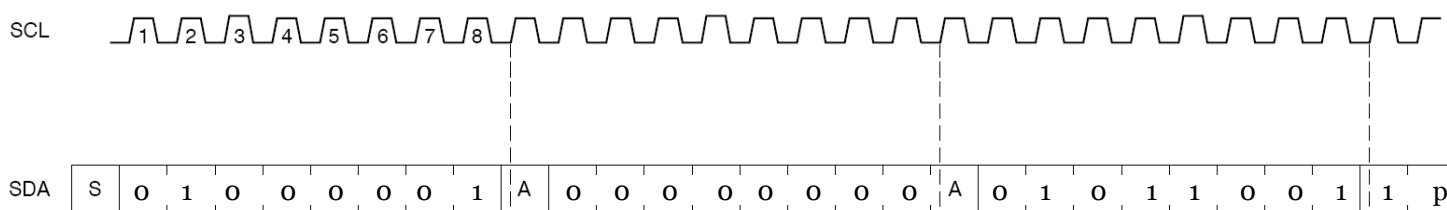
4.3.4 Analyse de trames

Analyser bit par bit les trames I2C présentées ci-dessous, puis indiquer de quel type de communication il s'agit, en précisant l'adresse de l'esclave et les données échangées :

4.3.4.1 Trame n° 1 :



4.3.4.2 Trame n° 2 :



5. Conclusion :

Quelles sont les principales différences entre bus I2C et protocole DCC ?

I2C	DCC